

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 6日

出 願 番 号

Application Number:

特願2002-354842

[ST.10/C]:

[JP2002-354842]

出 願 人

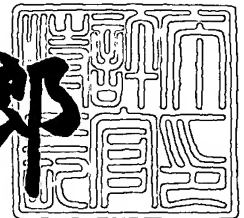
Applicant(s):

株式会社日立製作所

2003年 6月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046494

【書類名】 特許願

【整理番号】 HI020589

【提出日】 平成14年12月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/06

【発明者】

 【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 R A I D システム事業部内

 【氏名】 金子 誠司

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100071283

 【弁理士】

 【氏名又は名称】 一色 健輔

【選任した代理人】

 【識別番号】 100084906

 【弁理士】

 【氏名又は名称】 原島 典孝

【選任した代理人】

 【識別番号】 100098523

 【弁理士】

 【氏名又は名称】 黒川 恵

【選任した代理人】

 【識別番号】 100112748

 【弁理士】

 【氏名又は名称】 吉田 浩二

【選任した代理人】

【識別番号】 100110009

【弁理士】

【氏名又は名称】 青木 康

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶デバイス制御装置システムの制御方法、及び記憶デバイス制御装置システム

【特許請求の範囲】

【請求項 1】 第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、

及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、

前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムの制御方法であって、

前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置からデータ読み出し要求を受信するステップと、

前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであることを判断するステップと、

前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであると判断した場合には、前記データ読み出し要求を前記第 2 の記憶デバイス制御装置に送信するステップと、

前記第 2 の記憶デバイス制御装置が、前記第 3 の記憶デバイスに記憶されているデータを読み出して前記第 1 の記憶デバイス制御装置に送信するステップと、

前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の情報処理装置に送信するステップと

を備えることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 2】 第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、

及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、

前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムの制御方法であって、

前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置からデータ書き込み要求を受信するステップと、

前記第 1 の記憶デバイス制御装置が、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであることを判断するステップと、

前記第 1 の記憶デバイス制御装置が、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであると判断した場合には、前記データ書き込み要求を前記第 2 の記憶デバイス制御装置に送信するステップと、

前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信するステップと、

前記第 2 の記憶デバイス制御装置が、前記書き込みデータを前記第 3 の記憶デバイスに書き込むステップと

を備えることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 3】 請求項 1 に記載の記憶デバイス制御装置システムの制御方法において、

前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の情報処理装置に送信するステップは、

前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の記録形式に従ったデータに変換してから前記第 1 の情報処理装置に送信するステップであることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 4】 請求項 2 に記載の記憶デバイス制御装置システムの制御方法において、

前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信するステップは、

前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記録形式に従ったデータに変換してから前記第 2 の記憶デバイス制御装置に送信するステップであることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 5】 請求項 1 または請求項 2 に記載の記憶デバイス制御装置システムの制御方法において、

前記第 1 及び第 2 の記録形式はそれぞれ F B A 形式及び C K D 形式であることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 6】 請求項 1 または請求項 2 に記載の記憶デバイス制御装置システムの制御方法において、

前記第 1 及び第 2 の記録形式はそれぞれ C K D 形式及び F B A 形式であることを特徴とする記憶デバイス制御装置システムの制御方法。

【請求項 7】 第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置から

データ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、

及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、

前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムであって、

前記第 1 の記憶デバイス制御装置は、

前記第 1 の情報処理装置からデータ読み出し要求を受信する手段と、

前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであることを判断する手段と、

前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであると判断した場合には、前記データ読み出し要求を前記第 2 の記憶デバイス制御装置に送信する手段と、

前記第 2 の記憶デバイス制御装置から送信された前記第 3 の記憶デバイスに記憶されていたデータを前記第 1 の情報処理装置に送信する手段とを備え、

前記第 2 の記憶デバイス制御装置は、

前記第 1 の記憶デバイス制御装置から送信された前記データ読み出し要求により、前記第 3 の記憶デバイスに記憶されているデータを読み出して前記第 1 の記憶デバイス制御装置に送信する手段

を備えることを特徴とする記憶デバイス制御装置システム。

【請求項 8】 第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイ

ス制御装置、

及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、

前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムであって、

前記第 1 の記憶デバイス制御装置は、

前記第 1 の情報処理装置からデータ書き込み要求を受信する手段と、

前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであることを判断する手段と、

前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであると判断した場合には、前記データ書き込み要求を前記第 2 の記憶デバイス制御装置に送信する手段と、

前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信する手段とを備え、

前記第 2 の記憶デバイス制御装置は、

前記書き込みデータを前記第 3 の記憶デバイスに書き込む手段を備えることを特徴とする記憶デバイス制御装置システム。

【請求項 9】 請求項 7 に記載の記憶デバイス制御装置システムにおいて、

前記第 2 の記憶デバイス制御装置から送信された前記第 3 の記憶デバイスに記憶されていたデータを前記第 1 の情報処理装置に送信する手段は、

前記第 2 の記憶デバイス制御装置から送信された前記第 3 の記憶デバイスに記憶されていたデータを前記第 1 の記録形式に従ったデータに変換してから前記第 1 の情報処理装置に送信する手段であることを特徴とする記憶デバイス制御装置システム。

【請求項 10】 請求項 8 に記載の記憶デバイス制御装置システムにおいて

前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイ

ス制御装置に送信する手段は、

前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記録形式に従ったデータに変換してから前記第 2 の記憶デバイス制御装置に送信する手段であることを特徴とする記憶デバイス制御装置システム。

【請求項 1 1】 請求項 7 または請求項 8 に記載の記憶デバイス制御装置システムにおいて、

前記第 1 及び第 2 の記録形式はそれぞれ F B A 形式及び C K D 形式であることを特徴とする記憶デバイス制御装置システム。

【請求項 1 2】 請求項 7 または請求項 8 に記載の記憶デバイス制御装置システムにおいて、

前記第 1 及び第 2 の記録形式はそれぞれ C K D 形式及び F B A 形式であることを特徴とする記憶デバイス制御装置システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、記憶デバイス制御装置システムの制御方法、及び記憶デバイス制御装置システムに関する。

【 0 0 0 2 】

【従来の技術】

近年コンピュータシステムで取り扱われる情報量は莫大な量に達している。またこれまでの長年にわたるコンピュータシステムの運用の結果、大量の記憶情報の蓄積も存在する。そのため、このような大量の記憶情報を有効に活用できるようにするため、ストレージコンソリデーションの技術が進んでいる。ストレージコンソリデーションとは、これまでコンピュータシステム毎にばらばらに運用されてきた記憶装置の管理を統一し、記憶装置毎にばらばらに記憶されてきた大量の記憶情報を統合管理するための技術である。

【 0 0 0 3 】

そのような技術の一つとして、1つの記憶装置で様々なメーカーのコンピュータと接続できるようにするために、コンピュータと記憶装置との間で授受されるデ

ータの転送ブロックサイズを複数取り扱える様にした記憶装置に関する技術が公開されている（例えば特許文献 1 参照）。

【 0 0 0 4 】

【特許文献 1】

米国特許第 5, 8 8 7, 1 9 9 号明細書

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記特許文献 1 に記載の技術は、記憶装置の初期設定時に転送ブロックサイズを選択できるようにしたものである。従って転送ブロックサイズの異なる様々なメーカーのコンピュータと接続可能ではあるが、それらのメーカーのコンピュータを混在させて同時に使用することはできない。

【 0 0 0 6 】

また新たな記憶制御装置の導入の仕方としては、例えば、旧記憶制御装置から新たに導入する記憶制御装置のみを用いた運用に完全に移行させてしまう方法、旧記憶制御装置と新たに導入する記憶制御装置とをともに併存させた状態で運用する方法などが考えられる。しかしながら、例えばメインフレーム対応の FICON（登録商標）インターフェースを持つ記憶制御装置間の移行又は併存を考えた場合、記憶制御装置内部で記録形式を変換する必要が生ずることとなり、新たな記憶制御装置の導入が困難な場合がある。これは、メインフレームで採用されている CKD (Count Key Data) 形式と呼ばれるデータフォーマットは、記憶制御装置内部で使用する FBA (Fixed Block Architecture) 形式のデータフォーマットと異なっていることより、FICON（登録商標）インターフェースで受けたメインフレームホストからの要求を他記憶制御装置に中継することが出来ないからである。

【 0 0 0 7 】

将来的に、莫大な蓄積データを持つメインフレームコンピュータのデータと、近年のコンピュータのダウンサイジング化により急速に普及したオープン系コンピュータのデータとの共有化を考えた場合、メインフレームコンピュータのデータとオープン系コンピュータのデータとでは記憶制御装置への記録形式が異なり

、互換性がないため、共有化する以前に記憶制御装置に蓄積されているデータを、他の記憶制御装置、特に既に共有化されている記憶制御装置に移し換える必要が生じてしまう。

【 0 0 0 8 】

そこで、本発明は既存の記憶装置に対してコンピュータの種類を問わずにアクセスを可能とする記憶デバイス制御装置システムの制御方法、及び記憶デバイス制御装置システムを提供することを主たる目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムの制御方法であって、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置からデータ読み出し要求を受信するステップと、前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであることを判断するステップと、前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであると判断した場合には、前記データ読み出し要求を前記第 2 の記憶デバイス制御装置に送信するステップと、前記第 2 の記憶デバイス制御装置が、前記第 3 の記憶デバイスに記憶されているデータを読み出して前記第 1 の記憶デバイス制御装置

に送信するステップと、前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の情報処理装置に送信するステップとを備える。

【 0 0 1 0 】

その他、本願が開示する課題、及びその解決方法は、発明の実施の形態の欄、及び図面により明らかにされる。

【 0 0 1 1 】

【発明の実施の形態】

== 開示の概要 ==

本明細書の記載により少なくとも次のことが明らかにされる。

本実施の形態の一態様は、第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムの制御方法であって、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置からデータ読み出し要求を受信するステップと、前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであることを判断するステップと、前記第 1 の記憶デバイス制御装置が、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであると判断した場合には、前記データ読み出し要求を前記第 2 の記憶デバイス制御装置に送信するステップと、前記第 2 の記憶デバイス制御装置が、前記第 3 の記憶デバイスに記憶されているデータを読み出して前記第

1 の記憶デバイス制御装置に送信するステップと、前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の情報処理装置に送信するステップとを備えることを特徴とする。

【 0 0 1 2 】

このような態様により、例えば既存の記憶デバイス制御装置に新たに記憶デバイス制御装置を導入する場合において、古い記憶デバイス制御装置のデータの記録形式を問わずに、古い記憶デバイス制御装置に記憶された情報を新たな記憶デバイス制御装置を介して読み出すことが可能となる。ここで、古い記憶デバイス制御装置に対する仕様変更や改造、あるいは古い記憶デバイス制御装置に記憶されたデータの移し替え等を行わずに、古い記憶デバイス制御装置に記憶された情報を新たな記憶デバイス制御装置を介して読み出すことができる。

【 0 0 1 3 】

また本実施の形態の一態様は、第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムの制御方法であって、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置からデータ書き込み要求を受信するステップと、前記第 1 の記憶デバイス制御装置が、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであることを判断するステップと、前記第 1 の記憶デバイス制御装置が、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであると判断した場合に

は、前記データ書き込み要求を前記第 2 の記憶デバイス制御装置に送信するステップと、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信するステップと、前記第 2 の記憶デバイス制御装置が、前記書き込みデータを前記第 3 の記憶デバイスに書き込むステップとを備えることを特徴とする。

【 0 0 1 4 】

このような態様により、例えば既存の記憶デバイス制御装置に新たに記憶デバイス制御装置を導入する場合において、古い記憶デバイス制御装置のデータの記録形式を問わずに、古い記憶デバイス制御装置に対して新たな記憶デバイス制御装置を通してデータを書き込むことが可能となる。ここで、古い記憶デバイス制御装置に対する仕様変更や改造、あるいは古い記憶デバイス制御装置に記憶されたデータの移し替え等を行わずに、古い記憶デバイス制御装置に対して新たな記憶デバイス制御装置を通してデータを書き込むことができる。

【 0 0 1 5 】

また本実施の形態の一態様は、前記記憶デバイス制御装置システムの制御方法において、前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の情報処理装置に送信するステップは、前記第 1 の記憶デバイス制御装置が、前記データを前記第 1 の記録形式に従ったデータに変換してから前記第 1 の情報処理装置に送信するステップであることを特徴とする。

【 0 0 1 6 】

このような態様により、第 2 の記憶デバイス制御装置に記憶された情報を第 1 の記憶デバイス制御装置を介して読み出す場合に、第 1 の記憶デバイス制御装置が記録形式の変換を行うため、第 1 の情報処理装置はそのような記録形式の変換処理を行う必要がなくなる。

【 0 0 1 7 】

また本実施の形態の一態様は、前記記憶デバイス制御装置システムの制御方法において、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信するステップは、前記第 1 の記憶デバイス制御装置が、前記第 1 の情報処理装置から受信した書

き込みデータを前記第 2 の記録形式に従ったデータに変換してから前記第 2 の記憶デバイス制御装置に送信するステップであることを特徴とする。

このような態様により、第 2 の記憶デバイス制御装置に第 1 の記憶デバイス制御装置を介して情報を書き込む場合に、第 1 の記憶デバイス制御装置が記録形式の変換を行うため、第 1 の情報処理装置はそのような記録形式の変換処理を行う必要がなくなる。

【 0 0 1 8 】

また本実施の形態の一態様は、前記記憶デバイス制御装置システムの制御方法において、前記第 1 及び第 2 の記録形式はそれぞれ F B A 形式及び C K D 形式であることを特徴とする。

このような態様により、F B A 形式でデータを記録するオープン系コンピュータから、C K D 形式でデータが記録された記憶デバイス制御装置に記憶されたデータをアクセスすることが可能となる。

【 0 0 1 9 】

また本実施の形態の一態様は、前記記憶デバイス制御装置システムの制御方法において、前記第 1 及び第 2 の記録形式はそれぞれ C K D 形式及び F B A 形式であることを特徴とする。

このような態様により、C K D 形式でデータを記録するメインフレームコンピュータから、F B A 形式でデータが記録された記憶デバイス制御装置に記憶されたデータをアクセスすることが可能となる。

【 0 0 2 0 】

また本実施の形態の一態様は、第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、及び前記第 2 の記録形式に従ってデータが記憶される

第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システムであって、前記第 1 の記憶デバイス制御装置は、前記第 1 の情報処理装置からデータ読み出し要求を受信する手段と、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであることを判断する手段と、前記データ読み出し要求が前記第 3 の記憶デバイスに記憶されているデータに対するものであると判断した場合には、前記データ読み出し要求を前記第 2 の記憶デバイス制御装置に送信する手段と、前記第 2 の記憶デバイス制御装置から送信された前記第 3 の記憶デバイスに記憶されていたデータを前記第 1 の情報処理装置に送信する手段とを備え、前記第 2 の記憶デバイス制御装置は、前記第 1 の記憶デバイス制御装置から送信された前記データ読み出し要求により、前記第 3 の記憶デバイスに記憶されているデータを読み出して前記第 1 の記憶デバイス制御装置に送信する手段を備えることを特徴とする記憶デバイス制御装置システムに関する。

【 0 0 2 1 】

また本実施の形態の一態様は、第 1 の記録形式に従ってデータが記憶される第 1 の記憶デバイスに対する入出力処理を行う第 1 の入出力制御手段と、第 2 の記録形式に従ってデータが記憶される第 2 の記憶デバイスに対する入出力処理を行う第 2 の入出力制御手段と、前記第 1 の記憶デバイスに記憶されたデータをアクセスする第 1 の情報処理装置からデータ入出力要求を受け付ける第 1 の通信制御手段と、前記第 2 の記憶デバイスに記憶されたデータをアクセスする第 2 の情報処理装置からデータ入出力要求を受け付ける第 2 の通信制御手段とを有する第 1 の記憶デバイス制御装置、及び前記第 2 の記録形式に従ってデータが記憶される第 3 の記憶デバイスに対する入出力処理を行う第 3 の入出力制御手段と、前記第 3 の記憶デバイスに記憶されたデータに対する入出力要求を受け付ける第 3 の通信制御手段とを有する第 2 の記憶デバイス制御装置を備え、前記第 2 の通信制御手段と前記第 3 の通信制御手段とが接続されてなる記憶デバイス制御装置システ

ムであって、前記第 1 の記憶デバイス制御装置は、前記第 1 の情報処理装置からデータ書き込み要求を受信する手段と、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであることを判断する手段と、前記データ書き込み要求が前記第 3 の記憶デバイスに対するものであると判断した場合には、前記データ書き込み要求を前記第 2 の記憶デバイス制御装置に送信する手段と、前記第 1 の情報処理装置から受信した書き込みデータを前記第 2 の記憶デバイス制御装置に送信する手段とを備え、前記第 2 の記憶デバイス制御装置は、前記書き込みデータを前記第 3 の記憶デバイスに書き込む手段を備えることを特徴とする記憶デバイス制御装置システムに関する。

【 0 0 2 2 】

また本実施の形態の一態様は、上記記憶デバイス制御装置システムにおける前記第 1 の記憶デバイス制御装置に関する。

【 0 0 2 3 】

また本実施の形態の一態様は、上記記憶デバイス制御装置システムにおける前記第 1 の記憶デバイス制御装置に上記機能を実現させるためのプログラムに関する。

【 0 0 2 4 】

=== 全体構成例 ===

以下、本発明の実施の形態について図面を用いて詳細に説明する。

まず本実施の形態に係る記憶デバイス制御装置システムの全体構成を示すブロック図を図 1 に示す。

メインフレームコンピュータ 1 0 0 は CPU (Central Processing Unit) やメモリ等を備えたコンピュータ (情報処理装置) である。操作端末 (不図示) と接続され、操作端末からの命令を受け付けて所定のプログラムを実行する。例えば、銀行の自動預金預け払いシステムや、航空機の座席予約システム等の大規模コンピュータシステムの中核コンピュータとして利用される。メインフレームコンピュータ 1 0 0 上では、メインフレーム系オペレーティングシステム 1 0 3 の制御の下、メインフレーム系アプリケーションプログラム 1 0 1 が実行される。

【 0 0 2 5 】

一方、オープン系コンピュータ 2 0 0 も CPU やメモリ等を備えたコンピュータ（情報処理装置）である。オープン系コンピュータ 2 0 0 は公開されている技術規格に従って製造されており、規格さえ合えば異なるメーカー同士の機器を接続して使用できるという特徴を持つ。また、近年のコンピュータのダウンサイジング化により、従来メインフレームコンピュータ 1 0 0 で行われてきた業務が、オープン系コンピュータ 2 0 0 で行われるようになってきている。オープン系コンピュータ 2 0 0 上では、オープン系オペレーティングシステム 2 0 3 の制御の下、オープン系アプリケーションプログラム 2 0 1 が実行される。

【 0 0 2 6 】

上記メインフレームコンピュータ 1 0 0 及びオープン系コンピュータ 2 0 0 は、共に第 1 の記憶デバイス制御装置 3 0 0 に接続されている。第 1 の記憶デバイス制御装置 3 0 0 は、第 1 のメインフレーム系ボリューム（記憶デバイス） 3 6 0 と第 1 のオープン系ボリューム（記憶デバイス） 3 7 0 とを備えており、それぞれメインフレームコンピュータ 1 0 0、オープン系コンピュータ 2 0 0 のデータを記憶する。

【 0 0 2 7 】

メインフレームコンピュータ 1 0 0 は、伝統的に CKD（Count Key Data）形式でデータを第 1 のメインフレーム系ボリューム 3 6 0 に記憶する。CKD 形式では、データの記憶アドレスはシリンダ番号、ヘッド番号、レコード番号で指定される。一方、オープン系コンピュータ 2 0 0 は、FBA（Fixed Block Architecture）形式でデータを第 1 のオープン系ボリューム 3 7 0 に記憶する。FBA 形式では、データの記憶アドレスは LBA（Logical Block Address）で指定される。

【 0 0 2 8 】

従って、メインフレームコンピュータ 1 0 0 は第 1 のオープン系ボリューム 3 7 0 に記憶されているデータを直接アクセスすることはできないし、オープン系コンピュータ 2 0 0 は第 1 のメインフレーム系ボリューム 3 6 0 に記憶されているデータを直接アクセスすることはできない。

【 0 0 2 9 】

メインフレームコンピュータ 1 0 0 から第 1 のオープン系ボリューム 3 7 0 に記憶されているデータをアクセスするためには、F B A 形式で記録されたデータを C K D 形式として取り扱えるようにする必要がある。メインフレームコンピュータ 1 0 0 上で実行されるオープン系データアクセスプログラム 1 0 2 は、メインフレームコンピュータ 1 0 0 から第 1 のオープン系ボリューム 3 7 0 に F B A 形式で記憶されているデータをアクセス可能とするためのプログラムである。メインフレーム系アプリケーションプログラム 1 0 1 は、オープン系データアクセスプログラム 1 0 2 を介してデータアクセスを行うことにより、F B A 形式で記憶されているデータをアクセスすることが可能となる。

【 0 0 3 0 】

同様に、オープン系コンピュータ 2 0 0 から第 1 のメインフレーム系ボリューム 3 6 0 に記憶されているデータをアクセスするためには C K D 形式で記録されたデータを F B A 形式として取り扱えるようにする必要がある。オープン系コンピュータ 2 0 0 上で実行されるメインフレーム系データアクセスプログラム 2 0 2 を介してデータアクセスを行うことにより、オープン系アプリケーションプログラム 2 0 1 は、C K D 形式で記憶されているデータをアクセスすることが可能となる。

【 0 0 3 1 】

上記技術により、第 1 の記憶デバイス制御装置 3 0 0 に接続されたメインフレームコンピュータ 1 0 0 及びオープン系コンピュータ 2 0 0 のどちらからも、C K D 形式でデータが記憶されている第 1 のメインフレーム系ボリューム 3 6 0 及び F B A 形式でデータが記憶されている第 1 のオープン系ボリューム 3 7 0 にアクセスが可能となる。

以下に、本実施の形態に係る記憶デバイス制御装置システムについて説明する。

【 0 0 3 2 】

=== 第 1 の記憶デバイス制御装置 ===

上述の通り、第 1 の記憶デバイス制御装置 3 0 0 は、メインフレームコンピュータ 1 0 0、オープン系コンピュータ 2 0 0 と接続されている。どちらのコンピ

ュータからも、CKD形式でデータの記憶されている第1のメインフレーム系ボリューム360、及びFBA形式でデータの記憶されている第1のオープン系ボリューム370をアクセスすることが可能である。

【0033】

チャネル制御部（通信制御手段）A310はメインフレームコンピュータ100と接続され、データ入出力コマンドの授受や、データ入出力の制御を行う。プロセッサA311は、チャネル制御部A310の制御を司る。キャッシュメモリA312は、メインフレームコンピュータ100との間で授受されるデータを一時的に記憶する。制御メモリA313は、プロセッサA311の制御を行うための制御プログラムA318や、データセット管理テーブル317を記憶する。通信インタフェースA314は、一つはメインフレームコンピュータ100と接続され、もう一つは第2の記憶デバイス制御装置400と接続される。ディスクインタフェースA315は、内部ネットワーク330を介してディスク制御部（入出力制御手段）A340、ディスク制御部B350、及びチャネル制御部B320と接続される。

【0034】

チャネル制御部B320はオープン系コンピュータ200と接続され、データ入出力コマンドの授受や、データ入出力の制御を行う。プロセッサB321は、チャネル制御部B320の制御を司る。キャッシュメモリB322は、オープン系コンピュータ200との間で授受されるデータを一時的に記憶する。制御メモリB323は、プロセッサB321の制御を行うための制御プログラムB328や、ファイル管理テーブル327を記憶する。通信インタフェースB324は、一つはオープン系コンピュータ200と接続され、もう一つは第3の記憶デバイス制御装置500と接続される。ディスクインタフェースB325は、内部ネットワーク330を介してディスク制御部A340、ディスク制御部B350、及びチャネル制御部A310と接続される。

内部ネットワーク330は、チャネル制御部A310、チャネル制御部B320、ディスク制御部A340、及びディスク制御部B350を相互に接続する。

【0035】

ディスク制御部 A 3 4 0 は、チャネル制御部 A 3 1 0、又はチャネル制御部 B 3 2 0 からの指示を受けて、第 1 のメインフレーム系ボリューム 3 6 0 に C K D 形式で記憶されているデータの入出力を制御する。

ディスク制御部 B 3 5 0 は、チャネル制御部 A 3 1 0、又はチャネル制御部 B 3 2 0 からの指示を受けて、第 1 のオープン系ボリューム 3 7 0 に F B A 形式で記憶されているデータの入出力を制御する。

【 0 0 3 6 】

第 1 のメインフレーム系ボリューム 3 6 0 は、C K D 形式でデータを記憶する。物理的な記憶領域上に論理的に構成される記憶領域とすることもできるし、物理的な記憶領域とすることもできる。また第 1 のメインフレーム系ボリューム 3 6 0 は、一つとすることもできるし、複数とすることもできる。またデータの信頼性、アクセスの高速性を向上させるために、R A I D (Redundant Arrays of Inexpensive Disks) の構成をとることもできる。

【 0 0 3 7 】

第 1 のオープン系ボリューム 3 7 0 は、F B A 形式でデータを記憶する。物理的な記憶領域上に論理的に構成される記憶領域とすることもできるし、物理的な記憶領域とすることもできる。また第 1 のオープン系ボリューム 3 7 0 は、一つとすることもできるし、複数とすることもできる。またデータの信頼性、アクセスの高速性を向上させるために、R A I D の構成をとることもできる。

【 0 0 3 8 】

なお、第 1 の記憶デバイス制御装置 3 0 0 の別構成例として、チャネル制御部 A (3 1 0) もしくはディスク制御部 A (3 4 0) にて C K D 形式から F B A 形式に変換し、第 1 のメインフレーム系ボリューム 3 6 0 上では F B A 形式に変換する構成をとることができる。この場合は、第 1 のメインフレーム系ボリューム 3 6 0 上のデータはオープン系コンピュータ 2 0 0 からのデータ読み出しを意図したものではなく、C K D 形式のデータをそのままの形式で格納することが性能上必要なため、オープン系データアクセスプログラム 1 0 2 等を介してアクセスしなければならない点は同様である。このような構成としては例えば特開平 6 - 1 2 7 8 6 号公報に詳しい。

【 0 0 3 9 】

=== 第 2 の記憶デバイス制御装置 ===

第 2 の記憶デバイス制御装置 4 0 0 は、チャンネル制御部 C 4 1 0、ディスク制御部 C 4 2 0、及び第 2 のメインフレーム系ボリューム 4 3 0 を備える。第 1 の記憶デバイス制御装置 3 0 0 と同様、内部ネットワークを備えるようにすることもできる。

第 2 の記憶デバイス制御装置 4 0 0 は第 1 の記憶デバイス制御装置 3 0 0 とは異なり、F B A 形式でデータを記憶するオープン系ボリュームは備えていない。

【 0 0 4 0 】

チャンネル制御部 C 4 1 0 は第 1 の記憶デバイス制御装置 3 0 0 と接続され、データ入出力コマンドの授受や、データ入出力の制御を行う。プロセッサ C 4 1 1 は、チャンネル制御部 C 4 1 0 の制御を司る。キャッシュメモリ C 4 1 2 は、第 1 の記憶デバイス制御装置 3 0 0 との間で授受されるデータを一時的に記憶する。制御メモリ C 4 1 3 は、プロセッサ C 4 1 1 の制御を行うための制御プログラムを記憶する。通信インタフェース C 4 1 4 は、第 1 の記憶デバイス制御装置 3 0 0 と接続される。ディスクインタフェース C 4 1 5 はディスク制御部 C 4 2 0 と接続される。

ディスク制御部 C 4 2 0 は、チャンネル制御部 C 4 1 0 からの指示を受けて、第 2 のメインフレーム系ボリューム 4 3 0 に C K D 形式で記憶されているデータをアクセスする。

【 0 0 4 1 】

第 2 のメインフレーム系ボリューム 4 3 0 は、C K D 形式でデータを記憶する。物理的な記憶領域上に論理的に構成される記憶領域とすることもできるし、物理的な記憶領域とすることもできる。また第 2 のメインフレーム系ボリューム 4 3 0 は、一つとすることもできるし、複数とすることもできる。またデータの信頼性、アクセスの高速性を向上させるために、R A I D の構成をとることもできる。

【 0 0 4 2 】

=== 第 3 の記憶デバイス制御装置 ===

第3の記憶デバイス制御装置500は、チャンネル制御部D510、ディスク制御部D520、及び第2のオープン系ボリューム530を備える。第1の記憶デバイス制御装置300と同様、内部ネットワークを備えるようにすることもできる。

第3の記憶デバイス制御装置500は第1の記憶デバイス制御装置300とは異なり、CKD形式でデータを記憶するメインフレーム系ボリュームは備えていない。

【0043】

チャンネル制御部D510は第1の記憶デバイス制御装置300と接続され、データ入出力コマンドの授受や、データ入出力の制御を行う。プロセッサD511は、チャンネル制御部D510の制御を司る。キャッシュメモリD512は、第1の記憶デバイス制御装置300との間で授受されるデータを一時的に記憶する。制御メモリD513は、プロセッサD511の制御を行うための制御プログラムを記憶する。通信インタフェースD514は、第1の記憶デバイス制御装置300と接続される。ディスクインタフェースD515はディスク制御部D520と接続される。

ディスク制御部D520は、チャンネル制御部D510からの指示を受けて、第2のオープン系ボリューム530にFBA形式で記憶されているデータをアクセスする。

【0044】

第2のオープン系ボリューム530は、FBA形式でデータを記憶する。物理的な記憶領域上に論理的に構成される記憶領域とすることもできるし、物理的な記憶領域とすることもできる。また第2のオープン系ボリューム530は、一つとすることもできるし、複数とすることもできる。またデータの信頼性、アクセスの高速性を向上させるために、RAIDの構成をとることもできる。

【0045】

第2の記憶デバイス制御装置400、第3の記憶デバイス制御装置500としては、例えば大型計算機センタで稼動していたコンピュータシステムの記憶デバイス制御装置などを想定することができる。当該記憶デバイス制御装置には長年

にわたるコンピュータの運用の結果、莫大な記憶情報が蓄積されている。一方で、めまぐるしい技術の進歩、及び取り扱う情報量の激増に対応するため、新たな大容量記憶デバイス制御装置を導入することも必要である。この場合、記憶デバイス制御装置を総リプレイスしてしまうことも可能であるが、メインフレームコンピュータのみならず、オープン系コンピュータからも過去の記憶情報を利用できるようにするためには、新たな記憶デバイス制御装置に当該データを移し替える必要がある。

【 0 0 4 6 】

しかしながら本実施の形態に係る記憶デバイス制御装置によれば、メインフレームコンピュータ 1 0 0 及びオープン系コンピュータ 2 0 0 は、従来からの記憶デバイス制御装置（第 2 の記憶デバイス制御装置 4 0 0、第 3 の記憶デバイス制御装置 5 0 0）に記憶されたデータを、新たな記憶デバイス制御装置（第 1 の記憶デバイス制御装置 3 0 0）を通してアクセスすることが可能となる。しかも、メインフレームコンピュータ 1 0 0 は、従来はアクセスできなかった第 3 の記憶デバイス制御装置 5 0 0 に記憶されたデータにもアクセスできるようになる。またオープン系コンピュータ 2 0 0 は、従来はアクセスできなかった第 2 の記憶デバイス制御装置 4 0 0 に記憶されたデータにもアクセスできるようになる。

【 0 0 4 7 】

以下に、オープン系コンピュータ 2 0 0 から、第 2 の記憶デバイス制御装置 4 0 0 の第 2 のメインフレーム系ボリューム 4 3 0 に記憶されたデータをアクセスする場合の処理の流れを図 4 のフローチャートに従って説明する。

【 0 0 4 8 】

===データの読み出し処理===

オープン系アプリケーションプログラム 2 0 1 は、メインフレーム系ボリューム（第 1 のメインフレーム系ボリューム 3 6 0、又は第 2 のメインフレーム系ボリューム 4 3 0）に記憶されているデータセットを読み出す場合は、メインフレーム系データアクセスプログラム 2 0 2 にデータセット名を指定して読み出し命令を発行する（S 1 0 0 0）。そうすると、メインフレーム系データアクセスプログラム 2 0 2 は、データ転送路 B 2 0 5 を介して、オープン系コンピュータ 2

0 0 と接続されているチャネル制御部 B 3 2 0 に対してデータセット名を指定して読み出し命令を発行する (S 1 0 0 1)。

【 0 0 4 9 】

データ転送路 B 2 0 5 を介してオープン系コンピュータ 2 0 0 とチャネル制御部 B 3 2 0 との間で行われるデータ転送は、様々なプロトコルに従って行うことができる。例えば、ファイバチャネルプロトコルや、S C S I (Small Computer Systems Interface) プロトコルや、i S C S I (Internet Small Computer Systems Interface) プロトコル等を採用することができる。また、データ転送路 B 2 0 5 上には、いくつかの中継ノードやスイッチが設置されているようにすることもできる。

【 0 0 5 0 】

チャネル制御部 B 3 2 0 がデータ読み出し命令を受け取ると、プロセッサ B 3 2 1 は、当該データ読み出し命令を解析し、当該データ読み出し命令が C K D 形式で記憶されたデータセットに対するものであると判断する (S 1 0 0 2)。そして当該データ読み出し命令を内部ネットワーク 3 3 0 を介してチャネル制御部 A 3 1 0 に転送する (S 1 0 0 3)。チャネル制御部 A 3 1 0 がデータ読み出し命令を受け取ると、プロセッサ A 3 1 1 は制御メモリ A 3 1 3 に記憶されているデータセット管理テーブル 3 1 7 を参照する (S 1 0 0 4)。

【 0 0 5 1 】

データセット管理テーブル 3 1 7 の構成を図 2 に示す。データセット管理テーブル 3 1 7 は、第 1 のメインフレーム系ボリューム 3 6 0 及び第 2 のメインフレーム系ボリューム 4 3 0 に記憶されているデータの記憶位置をデータセット毎に管理するためのテーブルである。

【 0 0 5 2 】

データセット名 6 1 0 は、当該データのデータセット名を示す。ボリューム番号 6 2 0 は、当該データセットが記憶されている記憶ボリュームの番号を示す。ボリューム位置 7 3 0 は、当該記憶ボリュームを記憶している記憶デバイス制御装置の番号を示す。データ位置 6 4 0 は、当該データセットが記憶されているアドレスを示す。C K D 形式の場合は、データの記憶位置はシリンダ番号 6 4 1、

ヘッド番号 6 4 2、及びレコード番号 6 4 3 で指定される。

【 0 0 5 3 】

プロセッサ A 3 1 1 がデータセット管理テーブル 3 1 7 を参照すると、チャンネル制御部 B 3 2 0 から受け取ったデータ読み出し命令により指定されたデータセットの記憶位置が判明する (S 1 0 0 4)。もし、当該データセットが第 1 のメインフレーム系ボリウム 3 6 0 に記憶されているものである場合には (S 1 0 0 5)、プロセッサ A 3 1 1 はディスク制御部 A 3 4 0 に対して当該データセットの読み出し命令を発行する (S 1 0 0 6、S 1 0 0 7)。

【 0 0 5 4 】

一方、当該データセットが第 2 のメインフレーム系ボリウム 4 3 0 に記憶されているものである場合には (S 1 0 0 5)、プロセッサ A 3 1 1 は、データ転送路 C 4 1 7 を介してチャンネル制御部 B 3 2 0 から受信したデータ読み出し命令を第 2 の記憶デバイス制御装置 4 0 0 に転送する (S 1 0 0 8)。

【 0 0 5 5 】

データ転送路 C 4 1 7 を介して行われるデータ転送のプロトコルは、第 2 の記憶デバイス制御装置 4 0 0 に従う。例えば代表的なプロトコルとして、E S C O N (登録商標) や F I C O N (登録商標) 等が採用される。もちろん、オープン系と同様にファイバチャネルプロトコルや、S C S I プロトコル、i S C S I プロトコル等を採用することもできる。

【 0 0 5 6 】

データ読み出し命令を受信した第 2 の記憶デバイス制御装置 4 0 0 は、ディスク制御部 C 4 2 0 を介して第 2 のメインフレーム系ボリウム 4 3 0 の指定アドレスからデータセットを読み出す (S 1 0 0 9)。そして、データ転送路 C 4 1 7 を介して第 1 の記憶デバイス制御装置 3 0 0 に読み出したデータを転送する (S 1 0 1 0)。

【 0 0 5 7 】

チャンネル制御部 A 3 1 0 のプロセッサ A 3 1 1 は、当該データを内部ネットワーク 3 3 0 を介してチャンネル制御部 B 3 2 0 に転送する (S 1 0 1 1)。そして、チャンネル制御部 B のプロセッサ B 3 2 1 は当該データをデータ転送路 B 2 0 5

を介してメインフレーム系データアクセスプログラム 2 0 2 に送信する (S 1 0 1 2)。

【 0 0 5 8 】

メインフレーム系データアクセスプログラム 2 0 2 は、当該データを C K D 形式から F B A 形式に変換してオープン系アプリケーションプログラム 2 0 1 に引き渡す (S 1 0 1 3、S 1 0 1 4)。ここで、読み出したデータの C K D 形式から F B A 形式への変換は、チャンネル制御部 B 3 2 0 で行うようにすることも可能である。

【 0 0 5 9 】

このようにして、オープン系コンピュータ 2 0 0 から第 1 のメインフレーム系ボリューム 3 6 0 または第 2 のメインフレーム系ボリューム 4 3 0 に記憶されているデータの読み出しを行うことができる。

【 0 0 6 0 】

===データの書き込み処理===

続いて、オープン系コンピュータ 2 0 0 から第 1 のメインフレーム系ボリューム 3 6 0 または第 2 のメインフレーム系ボリューム 4 3 0 にデータを書き込む場合の処理について図 5 のフローチャートに従って説明する。

【 0 0 6 1 】

まず、オープン系アプリケーションプログラム 2 0 1 は、メインフレーム系データアクセスプログラム 2 0 2 にデータセット名を指定して書き込みデータ、及び書き込み命令を発行する (S 2 0 0 0)。そうすると、メインフレーム系データアクセスプログラム 2 0 2 は、当該データを F B A 形式から C K D 形式に変換する (S 2 0 0 1)。そしてデータ転送路 B 2 0 5 を介して、オープン系コンピュータ 2 0 0 と接続されているチャンネル制御部 B 3 2 0 に対して書き込みデータ、及びデータセット名を指定して書き込み命令を発行する (S 2 0 0 2)。

【 0 0 6 2 】

チャンネル制御部 B 3 2 0 が書き込みデータ、及びデータ書き込み命令を受け取ると、プロセッサ B 3 2 1 は、当該データ書き込み命令を解析し、当該データ書き込み命令が C K D 形式で記憶されたデータセットに対するものであると判断す

る（S 2 0 0 3）。そして当該データ、及び当該データ書き込み命令を内部ネットワーク 3 3 0 を介してチャンネル制御部 A 3 1 0 に転送する（S 2 0 0 4）。チャンネル制御部 A 3 1 0 が書き込みデータ、及びデータ書き込み命令を受け取ると、プロセッサ A 3 1 1 は制御メモリ A 3 1 3 に記憶されているデータセット管理テーブル 3 1 7 を参照し、当該データセットの記憶位置を特定する（S 2 0 0 5）。もし、当該データセットの記憶位置が第 1 のメインフレーム系ボリューム 3 6 0 である場合には（S 2 0 0 6）、プロセッサ A 3 1 1 はディスク制御部 A 3 4 0 に対して当該書き込みデータ、及び書き込み命令を発行する（S 2 0 0 7、S 2 0 0 8）。

【 0 0 6 3 】

一方、当該データセットの記憶位置が第 2 のメインフレーム系ボリューム 4 3 0 である場合には（S 2 0 0 6）、プロセッサ A 3 1 1 は、データ転送路 C 4 1 7 を介してチャンネル制御部 B 3 2 0 から受信した書き込みデータ、及びデータ書き込み命令を第 2 の記憶デバイス制御装置 4 0 0 に転送する（S 2 0 0 9）。

書き込みデータ、及びデータ書き込み命令を受信した第 2 の記憶デバイス制御装置 4 0 0 は、ディスク制御部 C 4 2 0 を介して第 2 のメインフレーム系ボリューム 4 3 0 の指定アドレスに当該書き込みデータを書き込む（S 2 0 1 0）。

このようにして、オープン系コンピュータ 2 0 0 から第 1 のメインフレーム系ボリューム 3 6 0 または第 2 のメインフレーム系ボリューム 4 3 0 に対してデータの書き込みを行うことができる。なお、書き込みデータの F B A 形式から C K D 形式への変換は、チャンネル制御部 B 3 2 0 で行うようにすることも可能である。

【 0 0 6 4 】

===データの読み出し処理===

次に、メインフレームコンピュータ 1 0 0 から、第 3 の記憶デバイス制御装置 5 0 0 の第 2 のオープン系ボリューム 5 3 0 に記憶されたデータをアクセスする場合の処理の流れを図 6 のフローチャートに従って説明する。

【 0 0 6 5 】

メインフレーム系アプリケーションプログラム 1 0 1 は、オープン系ボリュー

ム（第1のオープン系ボリューム370、又は第2のオープン系ボリューム530）に記憶されているファイルを読み出す場合は、オープン系データアクセスプログラム102にファイル名を指定して読み出し命令を発行する（S3000）。そうすると、オープン系データアクセスプログラム102は、データ転送路A105を介して、メインフレームコンピュータ100と接続されているチャンネル制御部A310に対してファイル名を指定して読み出し命令を発行する（S3001）。

【0066】

データ転送路A105を介してメインフレームコンピュータ100とチャンネル制御部A310との間で行われるデータ転送は、様々なプロトコルに従って行うことができる。例えば、ESCON（登録商標）やFICON（登録商標）等を採用することができる。また、データ転送路A105上には、いくつかの中継ノードやスイッチが設置されているようにすることもできる。

【0067】

チャンネル制御部A310がデータ読み出し命令を受け取ると、プロセッサA311は、当該データ読み出し命令を解析し、当該データ読み出し命令がFBA形式で記憶されたファイルに対するものであると判断する（S3002）。そして当該データ読み出し命令を内部ネットワーク330を介してチャンネル制御部B320に転送する（S3003）。チャンネル制御部B320がデータ読み出し命令を受け取ると、プロセッサB321は制御メモリB323に記憶されているファイル管理テーブル327を参照する（S3004）。

【0068】

ファイル管理テーブル327の構成を図3に示す。ファイル管理テーブル327は、第1のオープン系ボリューム370及び第2のオープン系ボリューム530に記憶されているデータの記憶位置をファイル毎に管理するためのテーブルである。

【0069】

ファイル名710は、当該データのファイル名を示す。ボリューム番号720は、当該ファイルが記憶されている記憶ボリュームの番号を示す。ボリューム位

置 7 3 0 は、当該記憶ボリュームを記憶している記憶デバイス制御装置の番号を示す。データ位置 7 4 0 は、当該ファイルが記憶されているアドレスを示す。F B A 形式の場合は、データの記憶位置は L B A で指定されるので、L B A の値が記入される。

【 0 0 7 0 】

プロセッサ B 3 2 1 がファイル管理テーブル 3 2 7 を参照すると、チャンネル制御部 A 3 1 0 から受け取ったデータ読み出し命令により指定されたファイルの記憶位置が判明する (S 3 0 0 4) 。もし、当該ファイルが第 1 のオープン系ボリューム 3 7 0 に記憶されているものである場合には (S 3 0 0 5) 、プロセッサ B 3 2 1 はディスク制御部 B 3 5 0 に対して当該ファイルの読み出し命令を発行する (S 3 0 0 6 、 S 3 0 0 7) 。

【 0 0 7 1 】

一方、当該ファイルが第 2 のオープン系ボリューム 5 3 0 に記憶されているものである場合には (S 3 0 0 5) 、プロセッサ B 3 2 1 は、データ転送路 D 5 1 7 を介してチャンネル制御部 A 3 1 0 から受信したデータ読み出し命令を第 3 の記憶デバイス制御装置 5 0 0 に転送する (S 3 0 0 8) 。

【 0 0 7 2 】

データ転送路 D 5 1 7 を介して行われるデータ転送のプロトコルは、第 3 の記憶デバイス制御装置 5 0 0 に従う。例えば代表的なプロトコルとして、ファイバチャネルプロトコルや、S C S I プロトコルや、i S C S I プロトコル等を採用することができる。

【 0 0 7 3 】

データ読み出し命令を受信した第 3 の記憶デバイス制御装置 5 0 0 は、ディスク制御部 D 5 2 0 を介して第 2 オープンの系ボリューム 5 3 0 の指定アドレスからファイルを読み出す (S 3 0 0 9) 。そして、データ転送路 D 5 1 7 を介して第 1 の記憶デバイス制御装置 3 0 0 に読み出したデータを転送する (S 3 0 1 0) 。

【 0 0 7 4 】

チャンネル制御部 B 3 2 0 のプロセッサ B 3 2 1 は、当該データを内部ネットワ

ーク 3 3 0 を介してチャネル制御部 A 3 1 0 に転送する (S 3 0 1 1)。そして、チャネル制御部 A のプロセッサ A 3 1 1 は当該データをデータ転送路 A 1 0 5 を介してオープン系データアクセスプログラム 1 0 2 に送信する (S 3 0 1 2)。

【 0 0 7 5 】

オープン系データアクセスプログラム 1 0 2 は、当該データを F B A 形式から C K D 形式に変換してメインフレーム系アプリケーションプログラム 1 0 1 に引き渡す (S 3 0 1 3、S 3 0 1 4)。ここで、読み出したデータの F B A 形式から C K D 形式への変換は、チャネル制御部 A 3 1 0 で行うようにすることも可能である。

【 0 0 7 6 】

このようにして、メインフレームコンピュータ 1 0 0 から第 1 のオープン系ボリューム 3 7 0 または第 2 のオープン系ボリューム 5 3 0 に記憶されているデータの読み出しを行うことができる。

【 0 0 7 7 】

===データの書き込み処理===

続いて、メインフレームコンピュータ 1 0 0 から第 1 のオープン系ボリューム 3 7 0 または第 2 のオープン系ボリューム 5 3 0 にデータを書き込む場合の処理について図 7 のフローチャートに従って説明する。

【 0 0 7 8 】

まず、メインフレーム系アプリケーションプログラム 1 0 1 は、オープン系データアクセスプログラム 1 0 2 にファイル名を指定して書き込みデータ、及び書き込み命令を発行する (S 4 0 0 0)。そうすると、オープン系データアクセスプログラ 1 0 2 は、当該データを C K D 形式から F B A 形式に変換する (S 4 0 0 1)。そしてデータ転送路 A 1 0 5 を介して、メインフレームコンピュータ 1 0 0 と接続されているチャネル制御部 A 3 1 0 に対して書き込みデータ、及びファイル名を指定して書き込み命令を発行する (S 4 0 0 2)。

【 0 0 7 9 】

チャネル制御部 A 3 1 0 が書き込みデータ、及びデータ書き込み命令を受け取

ると、プロセッサ A 3 1 1 は、当該データ書き込み命令を解析し、当該データ書き込み命令が F B A 形式で記憶されたファイルに対するものであると判断する（S 4 0 0 3）。そして当該データ、及び当該データ書き込み命令を内部ネットワーク 3 3 0 を介してチャンネル制御部 B 3 2 0 に転送する（S 4 0 0 4）。

チャンネル制御部 B 3 2 0 が書き込みデータ、及びデータ書き込み命令を受け取ると、プロセッサ B 3 2 1 は制御メモリ B 3 2 3 に記憶されているファイル管理テーブル 3 2 7 を参照し、当該ファイルの記憶位置を特定する（S 4 0 0 5）。もし、当該ファイルの記憶位置が第 1 のオープン系ボリューム 3 7 0 である場合には（S 4 0 0 6）、プロセッサ B 3 2 1 はディスク制御部 B 3 5 0 に対して当該書き込みデータ、及び書き込み命令を発行する（S 4 0 0 7、S 4 0 0 8）。

【 0 0 8 0 】

一方、当該ファイルの記憶位置が第 2 のオープン系ボリューム 5 3 0 である場合には（S 4 0 0 6）、プロセッサ B 3 2 1 は、データ転送路 D 5 1 7 を介してチャンネル制御部 A 3 1 0 から受信した書き込みデータ、及びデータ書き込み命令を第 3 の記憶デバイス制御装置 5 0 0 に転送する（S 4 0 0 9）。

【 0 0 8 1 】

書き込みデータ、及びデータ書き込み命令を受信した第 3 の記憶デバイス制御装置 5 0 0 は、ディスク制御部 D 5 2 0 を介して第 2 のオープン系ボリューム 5 3 0 の指定アドレスに当該書き込みデータを書き込む（S 4 0 1 0）。

【 0 0 8 2 】

このようにして、メインフレームコンピュータ 1 0 0 から第 1 のオープン系ボリューム 3 7 0 または第 2 のオープン系ボリューム 5 3 0 に対してデータの書き込みを行うことができる。なお、書き込みデータの C K D 形式から F B A 形式への変換は、チャンネル制御部 A 3 1 0 で行うようにすることも可能である。

【 0 0 8 3 】

=== その他の構成例 ===

図 1 において示した構成例では、第 1 の記憶デバイス制御装置は、第 2 の記憶デバイス制御装置、及び第 3 の記憶デバイス制御装置に接続された構成例を示したが、第 2 の記憶デバイス制御装置、又は第 3 の記憶デバイス制御装置のどちら

か一方のみと接続された構成とすることも可能である。

【 0 0 8 4 】

また、図 1 において示した構成例では、第 2 の記憶デバイス制御装置は C K D 形式でアクセス可能な記憶ボリュームのみを有し、第 3 の記憶デバイス制御装置は F B A 形式でアクセス可能な記憶ボリュームのみを有している場合を示したが、第 2 の記憶デバイス制御装置、及び第 3 の記憶デバイス制御装置共に、あるいはどちらか一方が、第 1 の記憶デバイス制御装置と同様に F B A 形式でアクセス可能な記憶ボリュームと C K D 形式でアクセス可能な記憶ボリュームとを有する構成とすることもできる。

【 0 0 8 5 】

また、図 1 において示した構成例では、第 1 の記憶デバイス制御装置は、F B A 形式でアクセス可能な記憶ボリュームと C K D 形式でアクセス可能な記憶ボリュームとを有する構成を示したが、どちらか一方の形式でアクセス可能な記憶ボリュームのみを有する構成とすることもできる。

さらに、本実施例では C K D 形式と F B A 形式を例に説明したが、他の記録形式とすることもできる。

【 0 0 8 6 】

以上本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【 0 0 8 7 】

【発明の効果】

記憶デバイス制御装置システムの制御方法、及び記憶デバイス制御装置システムを提供することができる。

【図面の簡単な説明】

【図 1】 本実施の形態に係る記憶デバイス制御装置システムの全体構成を示すブロック図である。

【図 2】 本実施の形態に係るデータセット管理テーブルを示す図である。

【図 3】 本実施の形態に係るファイル管理テーブルを示す図である。

【図 4】 本実施の形態に係るオープン系コンピュータが C K D 形式の記憶ボリュームのデータを読み出す場合の処理の流れを示すフローチャートである。

【図 5】 本実施の形態に係るオープン系コンピュータが C K D 形式の記憶ボリュームにデータを書き込む場合の処理の流れを示すフローチャートである。

【図 6】 本実施の形態に係るメインフレーム系コンピュータが F B A 形式の記憶ボリュームのデータを読み出す場合の処理の流れを示すフローチャートである。

【図 7】 本実施の形態に係るメインフレーム系コンピュータが F B A 形式の記憶ボリュームにデータを書き込む場合の処理の流れを示すフローチャートである。

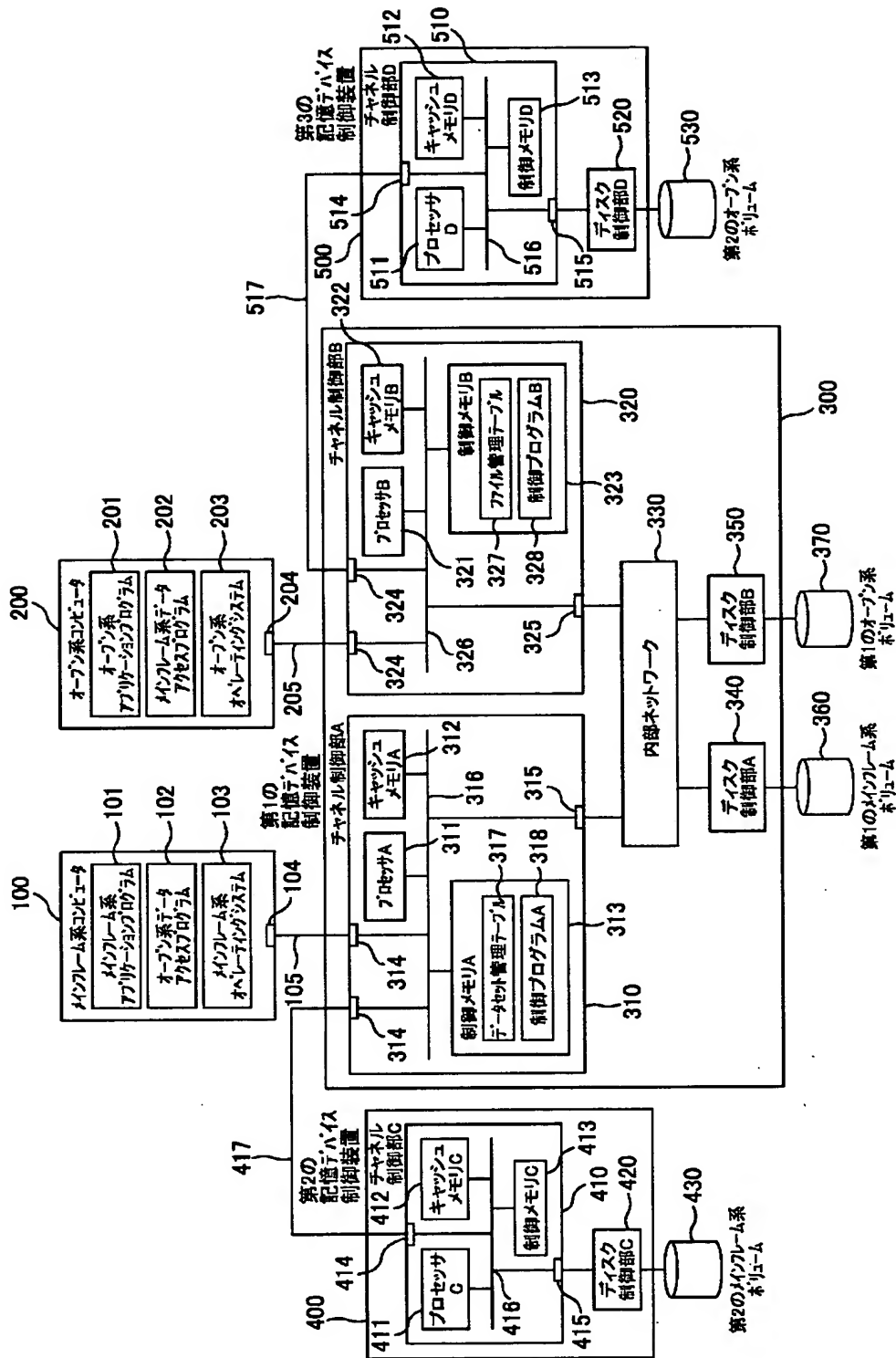
【符号の説明】

- | | | |
|-------|-----------------------|-------------|
| 1 0 0 | メインフレームコンピュータ | |
| 1 0 1 | メインフレーム系アプリケーションプログラム | |
| 1 0 2 | オープン系データアクセスプログラム | |
| 1 0 3 | メインフレーム系オペレーティングシステム | |
| 1 0 4 | メインフレーム系通信インタフェース | |
| 1 0 5 | データ転送路 A | |
| 2 0 0 | オープン系コンピュータ | |
| 2 0 1 | オープン系アプリケーションプログラム | |
| 2 0 2 | メインフレーム系データアクセスプログラム | |
| 2 0 3 | オープン系オペレーティングシステム | |
| 2 0 4 | オープン系通信インタフェース | |
| 2 0 5 | データ転送路 B | |
| 3 0 0 | 第 1 の記憶デバイス制御装置 | 3 1 0 |
| 3 1 1 | プロセッサ A | 3 1 2 |
| 3 1 3 | 制御メモリ A | 3 1 4 |
| 3 1 5 | ディスクインタフェース A | 3 1 6 |
| 3 1 7 | データセット管理テーブル | 3 1 8 |
| | | チャネル制御部 A |
| | | キャッシュメモリ A |
| | | 通信インタフェース A |
| | | バス A |
| | | 制御プログラム A |

3 2 0	チャネル制御部 B	3 2 1	プロセッサ B
3 2 2	キャッシュメモリ B	3 2 3	制御メモリ B
3 2 4	通信インタフェース B	3 2 5	ディスクインタフェース B
3 2 6	バス B	3 2 7	ファイル管理テーブル
3 2 8	制御プログラム B	3 3 0	内部ネットワーク
3 4 0	ディスク制御部 A	3 5 0	ディスク制御部 B
3 6 0	第 1 のメインフレーム系ボリューム		
3 7 0	第 1 のオープン系ボリューム		
4 0 0	第 2 の記憶デバイス制御装置	4 1 0	チャネル制御部 C
4 1 1	プロセッサ C	4 1 2	キャッシュメモリ C
4 1 3	制御メモリ C	4 1 4	通信インタフェース C
4 1 5	ディスクインタフェース C	4 1 6	バス C
4 1 7	データ転送路 C	4 2 0	ディスク制御部 C
4 3 0	第 2 のメインフレーム系ボリューム		
5 0 0	第 3 の記憶デバイス制御装置	5 1 0	チャネル制御部 D
5 1 1	プロセッサ D	5 1 2	キャッシュメモリ D
5 1 3	制御メモリ D	5 1 4	通信インタフェース D
5 1 5	ディスクインタフェース D	5 1 6	バス D
5 1 7	データ転送路 D	5 2 0	ディスク制御部 D
5 3 0	第 2 のオープン系ボリューム	6 1 0	データセット名
6 2 0	ボリューム番号	6 3 0	ボリューム位置
6 4 0	データ位置	6 4 1	シリンダ番号
6 4 2	ヘッド番号	6 4 3	レコード番号
7 1 0	ファイル名	7 2 0	ボリューム番号
7 3 0	ボリューム位置	7 4 0	データ位置
7 4 1	論理ブロックアドレス		

【書類名】 図面

【図 1】



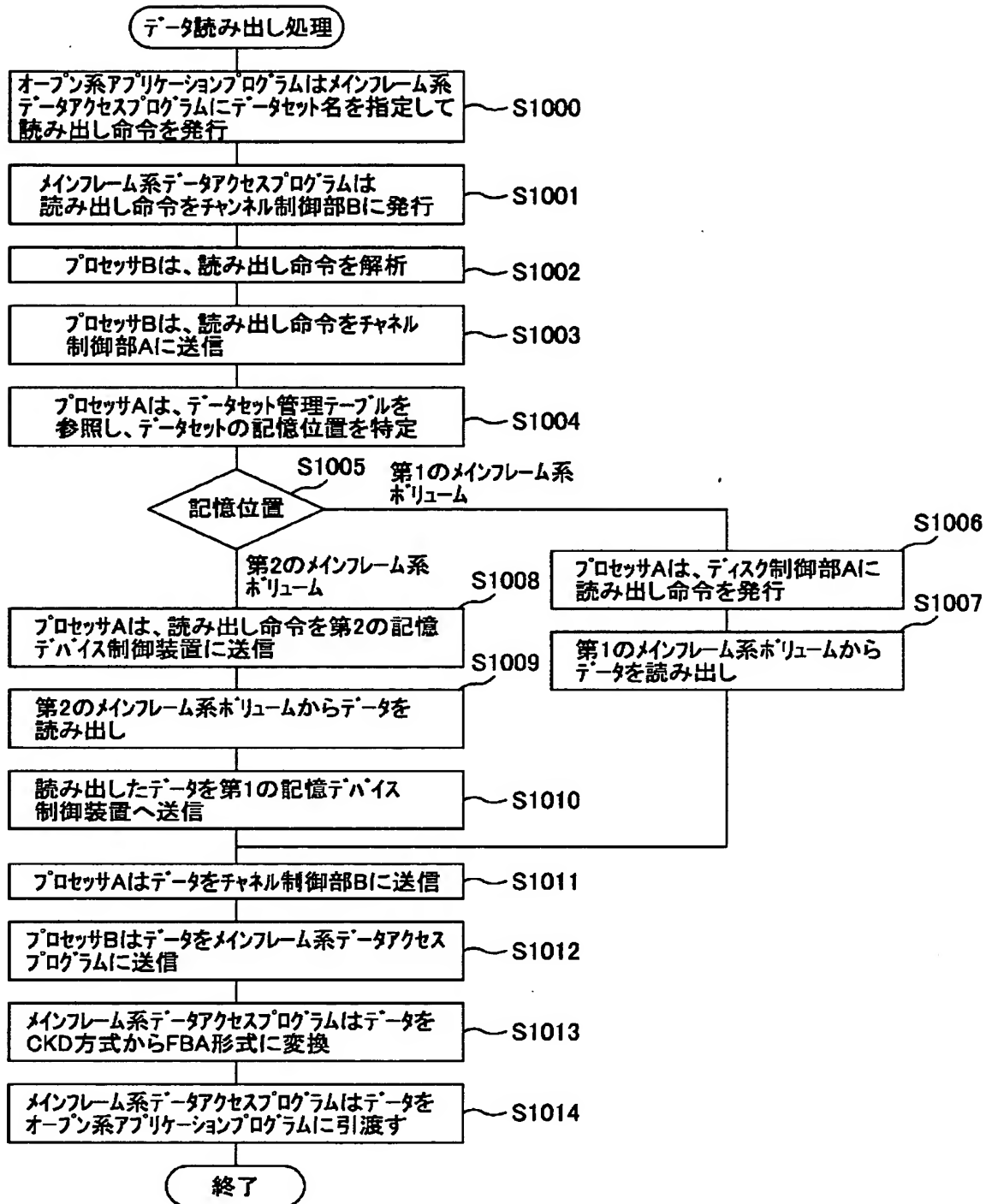
【図 2】

データセット名	ホリウム番号	ホリウム位置	シリンダ番号	ヘッド番号	レコード番号
"aaa"	1	1	3	1	10
"bbb"	2	2	10	2	3
"ccc"	1	1	4	4	5
⋮	⋮	⋮	⋮	⋮	⋮

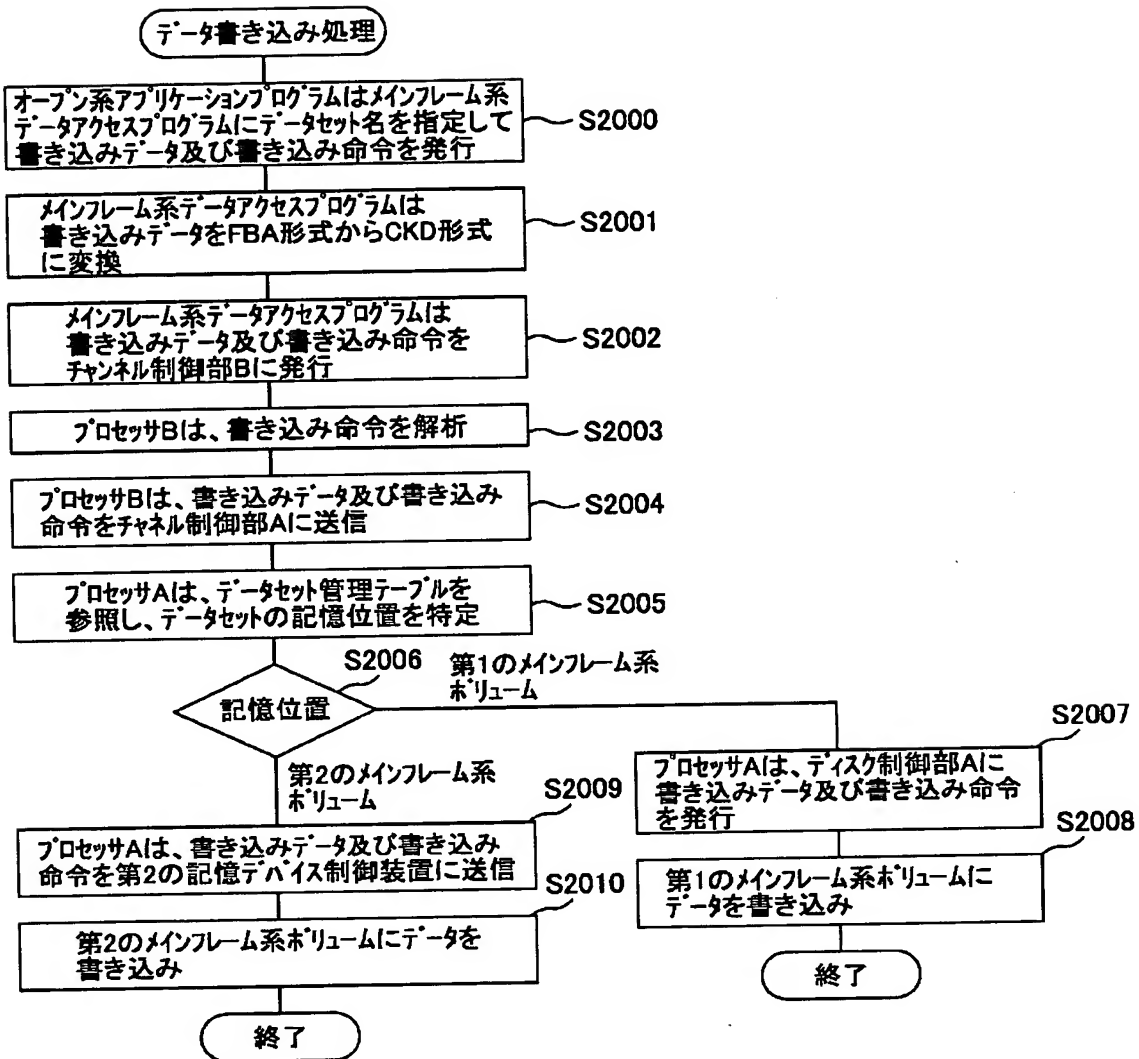
【図 3】

ファイル名	ホリウム番号	ホリウム位置	データ位置
			LBA
"xxx"	10	1	3A2F
"yyy"	10	1	5C7E
⋮	⋮	⋮	⋮

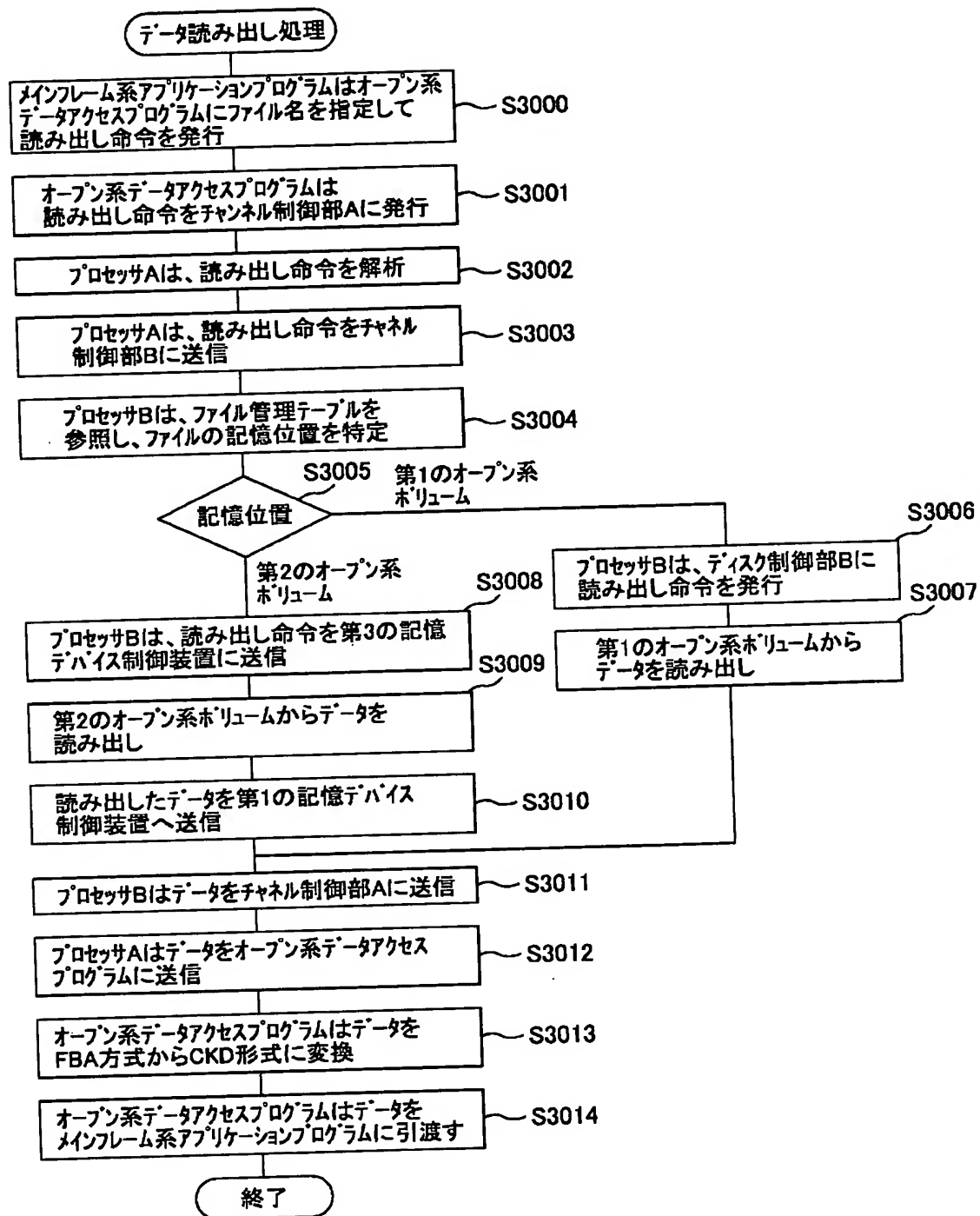
【図 4】



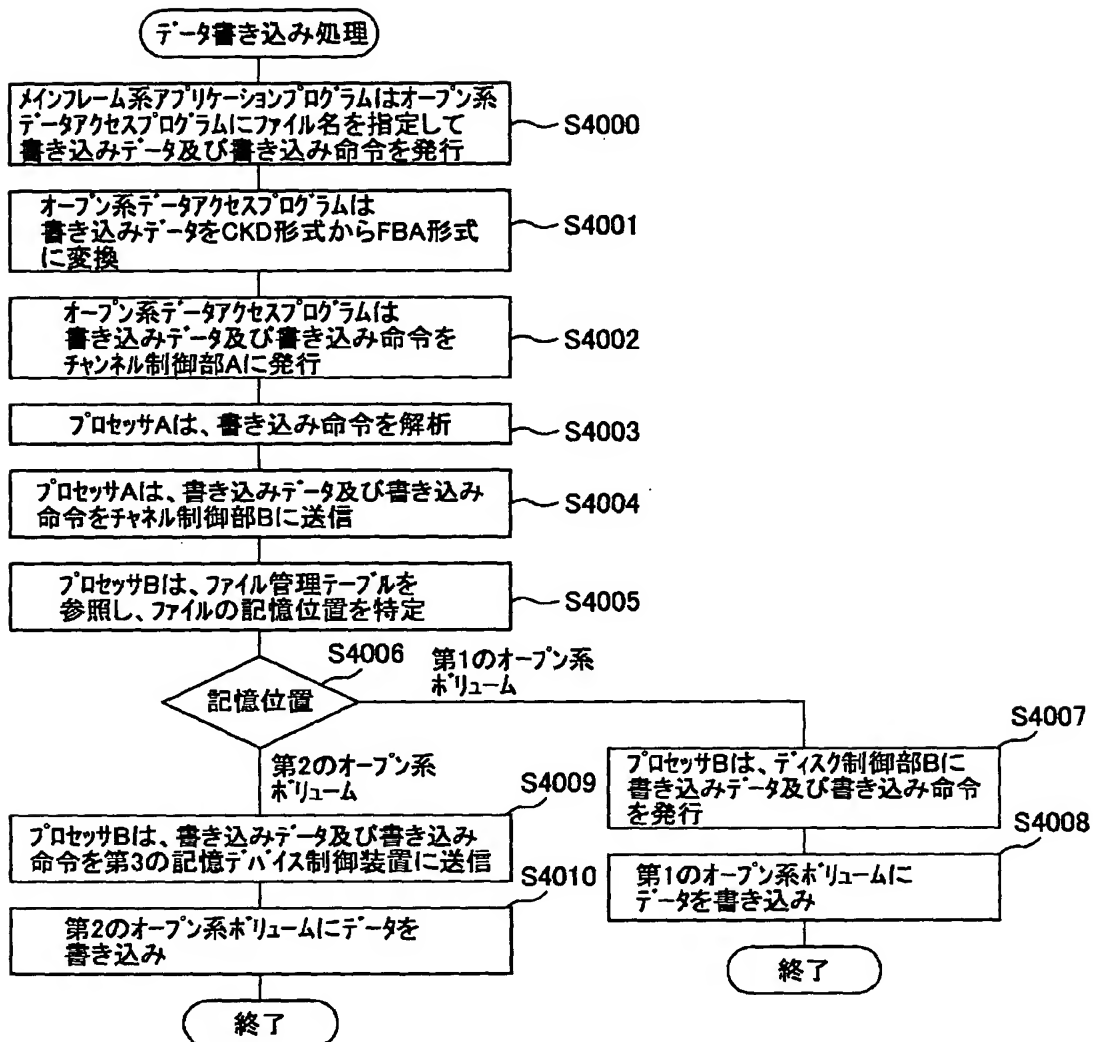
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【解決手段】 C K D形式及びF B A形式でそれぞれデータが記憶される第1及び第2の記憶デバイスに接続され、メインフレームコンピュータ及びオープン系コンピュータからそれぞれデータ入出力要求を受付る第1及び第2の通信制御手段を有する第1の記憶デバイス制御装置と、C K D形式でデータが記憶される第3の記憶デバイスに接続され、第2の通信制御手段と接続される第3の通信制御手段を有する第2の記憶デバイス制御装置とを備える記憶デバイス制御装置システムの制御方法であって、第1の記憶デバイス制御装置は、オープン系コンピュータから受信したデータ読出要求が第3の記憶デバイスに記憶されたデータに対するものである場合には第2の記憶デバイス制御装置にコマンドを送信し、第2の記憶デバイス制御装置により第3の記憶デバイスから読出されたデータをオープン系コンピュータに送信する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所